EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER

61049458

PUBLICATION DATE

11-03-86

APPLICATION DATE

17-08-84

APPLICATION NUMBER

59172007

APPLICANT: MITSUBISHI ELECTRIC CORP;

INVENTOR : TAKIMOTO ISAO;

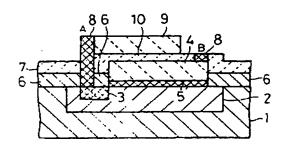
INT.CL.

H01L 27/04

TITLE

SEMICONDUCTOR INTEGRATED

CIRCUIT DEVICE



Cı

ABSTRACT :

PURPOSE: To obtain large capacitance without occupying a wide area by adjacently disposing a plurality of conductors at small intervals in the direction vertical to the upper surface of a semiconductor chip, insulating each conductor by an insulating film and forming a plurality of capacitances.

CONSTITUTION: A capacitance C₁ in which an N⁻ diffusion layer and a conductor 4 are used as electrodes and a gate oxide film 5 is employed as a dielectric and a capacitance C2 in which the conductor 4 and a conductor 9 are used as electrodes and an insulating film 10 is employed as a dielectric are formed in parallel between A and B. Accordingly, the capacitances are shaped on the upper surface of a semiconductor substrate in a multiplayer manner while a plurality of the capacitances are each adjoined and arranged, thus obtaining large capacitance without occupying a wide area.

COPYRIGHT: (C)1986,JPO&Japio

9日本国特許庁(JP)

10 特許出願公開

四公開特許公報(A)

昭61-49458

@Int_Cl.4

識別記号

庁内整理番号

❷公開 昭和61年(1986)3月11日

H 01 L 27/04

C-7514-5F

審査請求 未請求 発明の数 1 (全3頁)

❷発明の名称 半導体集積回路装置

> ②特 願 昭59-172007

御出 願 昭59(1984)8月17日

@発明

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会社北伊丹製作所

三菱電機株式会社 切出 頤 人

東京都千代田区丸の内2丁目2番3号

弁理士 大岩 増雄 外2名

1. 発明の名称

半導体 集積 回路 裝置

2. 特許請求の範囲

半導体チップの上面に、この上面に対し垂直方 向に配設された複数の導電体のそれぞれを対向垂 させて毎極とし、頭記各導電体間に絶級膜を介在 させて形成した容量を多層に近接して所要数配数 したことを特徴とする半導体集積回路模型。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、容量を具備した半導体象積回路鼓 世に関するものである。

[従来技術]

従来のこの種の藝度には、第1図に容量構成の 要部を断面 図で示すようなものがあつた。第1図 はMOS型 P-拡散基板の場合を示し、1は P・ 拡散からなる半導体基板、2は N- 拡散層、3は N+ 拡散層、4はポリショコンあるいはアルミか らなる導電体、5はゲート散化膜、 6はフィール

『散化膜、『は上積み散化膜、8はアルミからな』 るコンタクトである。

このように構成されたMOS型半導体条鉄回路 装置において、導電体4と N⁻ 拡 散層2とを 電極 とし、ゲート酸化膜 5 を誘電体とした容量を形成 している。

とのような構成の容量における容量値は、第0)

上式において、 εος は配化膜の比勝驾率、 εο は 真空の誘電率、 tog はゲート最化膜 5 の厚さ、 B はポリンリコンあるいはアルミからなる導電体 4 とゲート敵化膜をとが接する面積である。 したが つて、大容量を得るためには酸化膜の比 誘 竜 革 ∉ox と誘電体となるゲート酸化膜 5 の厚さ toxは プロセス上限定されるので、面積Sを大きくしな ければならず、このため集積回路のチップ表面を 大面積占有したければならなかつた。

(発明の概要)

特闘昭61-49458(2)

この発明は、上配従来の半導体集積回路装置の 久点を解落しようとするもので、半導体チンプ上 に複数の導電体を半導体チンプ上面に対し毎直方 向に小関隔に近接して配設し、前記各導電体を絶 録膜で絶縁して複数の容量を形成し、半導体チン プの上面を大面積を占有することなく、大きな容 量値をもつ半導体集 積回路装置を提供することを 目的としている。以下、この発明の一実施例を図 面について説明する。

〔発明の実施例〕

第2回はこの発明の一実施例による半導体集積 回路装置の容量構成の要部所面図を示し、第3回 は第2回の等価回路図である。これらの図で、第 1回と同一または相当部分は同じ符号で示されている。第2回において、8は即記導電体4の上面 に絶録膜を介して形成された導電体であり、10 は簡記導電体8を絶録する絶録膜である。これに よつて2層に容量が形成される。

このような特 灰の M O S 型半導体集積回路装置において、 N- 拡散層 2 および導電体 4 を電極と

し、ゲート取化度 5 を誘電体とした容量 C 、とし、 導電体 4 および導電体 8 を電磁とし、絶録膜 1 0 を誘電体とした容量 C 。が、 第 3 図 に等価回路と して示したように A . B 間に 並列に形成される。 なお、上配災 施例 では 導電体 4 . 8 を半 導体 チ ツブの垂直方向に 2 層に配置したが、 2 層以上複 数階絶録膜を介して 近接して配置して もよい。

また、上配実施例では導車休4.9を N- 拡散 . 暦 2 の上面に配食したが、拡散層は N型だけでなく P型でもよい。

また、上配実施例では導車体9と N- 拡散暦 2 をアルミからなるコンタクト 8 で接続した場合に ついて説明したが、拡散暦を用いず、導車体 4。 9の相互間で容量を形成してもよい。

また、上記奥施例では導電体4.9をA.B2 点に接続した場合について述べたが、導電体4. 9は2点以上複数点に接続してもよい。 [発明の効果]

以上 飲明 したように、 この 発明 は半導体 チップ の上面にこの上面 に対し 垂直方向に絶縁膜を介し

て複数の導車体を形成して多層に容量を形成する とともに、即配容量をそれぞれ近接して複数配設 したので、即配導電体間の距離を短くし、導電体 の数を増加することによつて、大容量を得ること ができるので、 従来のように広大な面積を占有す ることなく大容量を得ることができる。 そのため、 チップ面積の縮少に非常に有効である等の利点が 得られる。

4. 図面の簡単な説明

那1 図は従来のMO S 型半球体集扱回路装置における容量構成の要部断面図、第2 図はこの発明の一実為内による半導体集 衆回路 装置における容量構成の要部断面図、第3 図は第2 図の等価回路

区中、1はP・拡散からなる半導体基板、2はN・拡散層、3はN・拡散層、4はポタンリコンあるいはアルミからなる導電体、5はゲート酸化膜、6はフィールド酸化膜、7は上積み酸化膜、8はアルミからなるコンタクト、9は導電体、10は導電体を絶縁する絶縁膜である。

なお、関中の同一符号は同一または相当部分を 示す。

代理人 大岩增雄 (外2名)

特勵昭61- 49458(3)

